

一种高性能无片外电容型 LDO 设计

程 立, 黄 鲁

(中国科学技术大学 电子科学与技术系, 安徽 合肥 230027)

摘 要: 设计了一种高性能无片外电容型 LDO 线性稳压器, 其中, EA 采用推挽输出放大器设计, 在静态时保持低功耗, 瞬态响应时提供大的输出电流, 提高 LDO 的响应速率。高环路增益使 LDO 电路具有很高的稳压精度; 采用零点补偿技术, 保证了 LDO 环路稳定性。LDO 采用 $0.13\ \mu\text{m}$ CMOS 工艺设计, 仿真结果表明, 在 $1.2\ \text{V}\sim 2.0\ \text{V}$ 输入电压下, LDO 输出稳定的 $1.0\ \text{V}$ 电压, 输出负载电流为 $50\ \mu\text{A}\sim 100\ \text{mA}$, 最大负载电容可达到 $100\ \text{pF}$, 低频 PSR 为 $-67.5\ \text{dB}@100\text{mA}\sim -85.5\ \text{dB}@50\ \mu\text{A}$, 负载调整率 $0.8\ \mu\text{V}/\text{mA}$, LDO 的静态电流为 $50\ \mu\text{A}$, 整体版图面积为 $0.0163\ \text{mm}^2$ 。

关键词: LDO; 线性稳压器; 无片外电容; 电源抑制; 高性能

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)10-0119-04

Design of a High Performance Output-Capacitorless LDO

CHENG Li, HUANG Lu

(Department of Electronic Science and Technology, University of Science and Technology of China,
Hefei 230027, China)

Abstract: A High Performance Output-Capacitorless LDO is presented in this paper. In this design, EA applies a push-pull output amplifier, so that it can maintain low power consumption in quiescent state, and provide large output current in the transient response, which greatly improve the response rate. High loop gain allows the LDO circuit to achieve very high regulation accuracy; and using zero compensation technology to enhance the stability of the LDO loop. The LDO is designed in $0.13\ \mu\text{m}$ CMOS process. Simulation results show that the output voltage can be stable at $1.0\ \text{V}$ when its supply is range from $1.2\ \text{V}$ to $2.0\ \text{V}$. The output load current is from $50\ \mu\text{A}$ to $100\ \text{mA}$, the maximum load capacitance is up to $100\ \text{pF}$, PSR at low frequency is $-67.5\ \text{dB}@100\text{mA}\sim -85.5\ \text{dB}@50\ \mu\text{A}$. Load regulation is $0.8\ \mu\text{V}/\text{mA}$. The LDO only consumes $50\ \mu\text{A}$ quiescent current, and the overall layout area is 0.0163mm^2 .

Key words: LDO; linear regulator; output-capacitorless; PSR; high performance

1 引言

低压差线性稳压器 LDO (Low Drop-out Regulator) 因具有低功耗、高电源抑制能力、面积小等优点, 在高性能电源模块中得到广泛的应用。

传统的 LDO 芯片中, 为了稳定内部环路, 抑制输出电压过冲, 通常在输出端加很大的片外电容。然而, 随着集成电路技术的不断进步, LDO 电源模块逐渐被集成在芯片内部, 这样, 传统带片外大电容的

LDO 需要额外添加 Pad, 不仅浪费芯片面积, 而且芯片和封装之间连线的寄生效应会造成 LDO 输出电压性能下降^[1]。为克服这一问题, 无片外电容型 LDO 被提出, 并成为当前研究的一个热点。

本文设计了一种高性能的无片外电容型 LDO 电路, 可提供 $50\ \mu\text{A}\sim 100\ \text{mA}$ 的负载电流, 只需 $5\ \text{pF}$ 的片上电容, LDO 的输出具有低压差、快速瞬态响应、高电源抑制能力等特点。

2 电路设计与分析

本文提出的新型无片外电容型 LDO 结构如图 1 所示,由误差放大器、功率管(Mp)、补偿网络和带隙输出缓冲器(BG Buffer)、偏置电路组成.其中误差放大器采用推挽输出^[2]设计,在静态时保持低功耗,瞬态响应时提供大的输出电流,从而提高 LDO 的响应速率和电源抑制能力.功率管 Mp 采用 PMOS 管设计,容易获得较小的跌落电压.补偿网络采用零点补偿技术,通过引入零点的方式补偿 LDO 环路的相位裕度,优点在于功耗损失小,可获得较高的环路稳定性.带隙输出缓冲器用于给推挽输出误差放大器提供工作电流.偏置电路为整个 LDO 提供稳定的偏置电压.

2.1 LDO 具体电路

本文设计的无片外电容型 LDO 具体电路如图

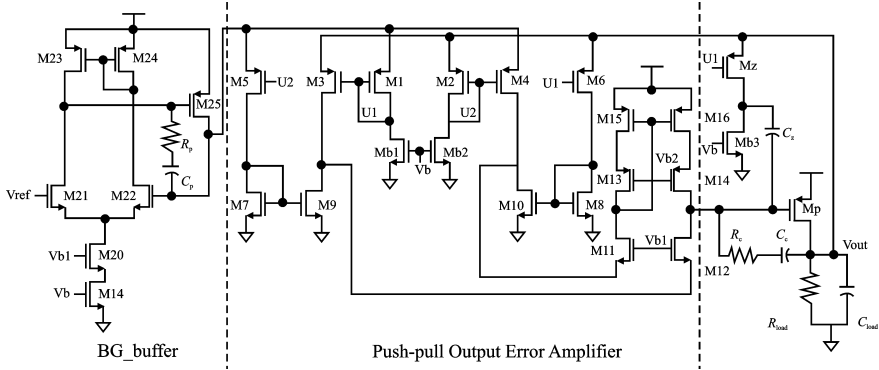


图 2 本文设计的无片外电容型 LDO 电路

本文的误差放大器采用推挽输出的设计思想,在保持低静态功耗的前提下,可获得非常快的瞬态响应速率;同时采用折叠式共源共栅结构,使误差放大器具有高增益和大输出摆幅的特点,且只引入一个起主要作用的极点,易于 LDO 环路补偿.如图所示,M1~M6 构成误差放大器的输入对管,W/L 相同;Mb1、Mb2 栅极接固定偏置电压 Vb,为误差放大器提供静态工作电流;M7、M8, M9、M10 是镜像对管,M9、M10 的 W/L 是 M7、M8 的两倍. M11~M16 与 M9、M10 构成折叠式的共源共栅结构,提高误差放大器增益.

假设 Mb1、Mb2 的漏电流为 I_b ,则有

$$I_b = \beta (V_{gs0} - V_{th})^2 \quad (1)$$

式中, $\beta = \mu_p C_{ox} \frac{W}{L}$, V_{gs0} 为 $V_{out} = V_{ref}$ 时, M1 的栅源电压.误差放大器的输出电流为

$$I_{out} = 4\beta [(V_{gs0} - V_{th} + \Delta V)^2 - (V_{gs0} - V_{th})^2]$$

2 所示,带隙输出缓冲器 BG_Buffer 是一个输出与反相输入端短接的带米勒补偿的两级运放,同相输入接基准电压 Vref, Mb4、M20 组成一个共源共栅结构的尾电流源, Vb、Vb1 是由偏置电路输入的偏置电压.

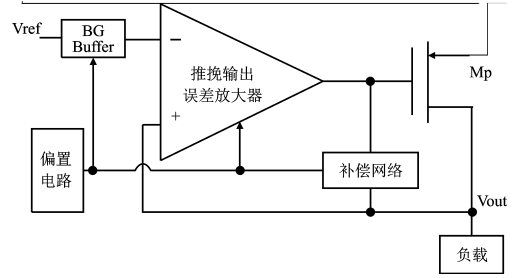


图 1 本文无片外电容型 LDO 结构

$$\Delta V = V_{out} - V_{ref}$$

化简得:

$$I_{out} = \frac{4I_b}{V_{gs0} - V_{th}} \Delta V + 4\beta V^2 \cdot \Delta V^2 \quad (2)$$

可知, V_{out} 与 V_{ref} 的压差越大,误差放大器的输出电流就越大,提供更快的响应速率.当 $V_{out} = V_{ref}$ 时,误差放大器的静态电流 $I_Q = 8I_b$.

另外,本设计中提供两条频率补偿支路,一条由 Mb3、Mz、Cz 组成,为环路提供一个零点,另一条是由 Rc 和 Cc 组成的米勒补偿^[3].电路中的 R_{load} 和 C_{load} 是接入负载的等效电阻电容.

2.2 环路稳定性分析

环路稳定性是 LDO 设计的一个重难点,如果不能满足系统稳定条件,LDO 电路就会发生振荡,无法实现输出稳定电压的功能,因此系统稳定是 LDO 电路正常工作的必要前提.开环频率响应特性是衡量 LDO 稳定性的一个重要指标.

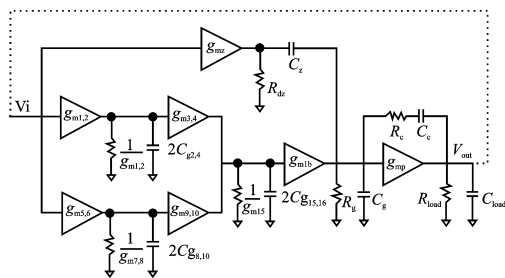


图3 本文 LDO 的小信号模型

本文 LDO 的小信号模型如图 3 所示,推导可知,LDO 开环环路的低频开环增益

$$A_0 = -4 g_{m1} R_g g_{mp} R_{load} \quad (3)$$

其中, $R_g = [g_{m12} r_{o12} (r_{o4} || r_{o10})] || g_{m14} r_{o14} r_{o16}$

极点分布如下:

$$p_1 \approx -\frac{1}{2\pi R_g (C_g + g_{mp} R_{load} C_c)} \quad (4)$$

$$p_2 \approx -\frac{1}{2\pi R_{load} (C_{load} + C_c)} \quad (5)$$

$$p_3 \approx -\frac{g_{m15}}{2\pi C_{g15,16}} \quad (6)$$

$$p_4 \approx -\frac{g_{m7,8}}{2\pi C_{g8,10}} \quad (7)$$

$$p_5 \approx -\frac{g_{m1,2}}{2\pi C_{g2,4}} \quad (8)$$

式中, p_3, p_4, p_5 是镜像极点,一般情况下镜像极点离主极点很远,但在低功耗设计的电路中,小电流无法将镜像极点完全移除,因此不能忽略镜像极点对系统稳定性的影响^[3]. 本设计中,考虑到镜像极点的影响,补偿设计时适当降低了环路带宽,并提供了两个零点补偿,以此来保证 LDO 系统环路的稳定性. LDO 系统零点如下.

由

$$g_{mz} V_i (R_{dz} || \frac{1}{s C_z}) \cdot s C_z + 2 g_{m1,2} V_i = 0$$

得出

$$Z_1 \approx -\frac{1}{3\pi R_{dz} C_z} \quad (9)$$

其中, $R_{dz} = r_{oz} || r_{ob3}$, 并假设 $g_{mz} = g_{m1,2}$;

$$Z_2 \approx \frac{1}{2\pi C_c (g_{mp}^{-1} - R_c)} \quad [3] \quad (10)$$

图 4 所示为 LDO 在负载电流分别为 100 mA 和 50 μ A 时的环路频率响应特性曲线. 可以看出,当负载电流为 100 mA 时,LDO 环路的低频增益达到 82 dB,相位裕度达到 107°;当负载电流为 50 μ A 时,LDO 环路的低频增益为 75 dB,相位裕度为 34°,满足系统稳定性要求.

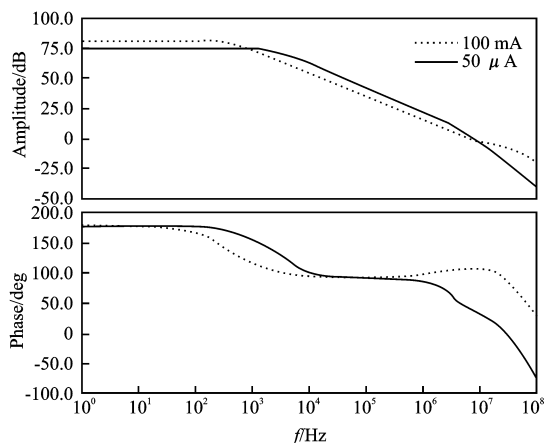


图4 LDO 环路的频率响应特性

3 仿真结果分析

本文提出的无片外电容型 LDO 基于 SMIC 0.13 μ m 标准 CMOS 工艺设计,并采用 Cadence spectre 工具进行仿真,在 1.2~2.0 V 输入电压下,LDO 输出电压为 1.0 V,可输出负载电流 I_{load} 范围为 50 μ A~100 mA,可负载电容 C_{load} 为 0~100 pF,电路整体版图如图 5 所示,面积为 106 μ m $\times$ 154 μ m.

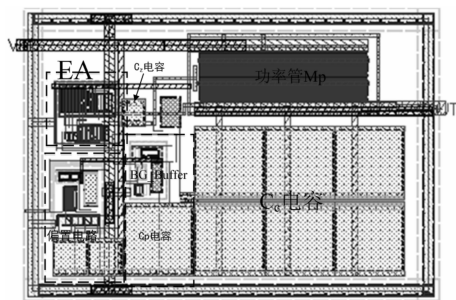


图5 LDO 电路版图

图 6 是本文 LDO 的 PSR 仿真结果,在 1 kHz 频率处的 PSR 为 -85.5 dB@50 μ A, -77.4 dB@100 μ A, -67.5 dB@100 mA.

图 7 是 LDO 负载瞬态响应仿真,在 1.2 V 的输入电压下,负载电流在 50 μ A 与 100 mA 之间跳变,跳变时间为 1 μ s. 结果显示,下过冲电压和上过冲电压分别为 83 mV 和 65 mV,响应时间分别为 1.38 μ s 和 1.5 μ s,输出电压前后仅变化了 80 μ V,负载调整率为 0.8 μ V/mA. 图 8 是 LDO 线性瞬态仿真,当输入电压从 0 V 突变到 1.2 V 后,LDO 的稳定时间约为 0.295 μ s,结果表明,本文设计的 LDO 具有较快的响应速度.

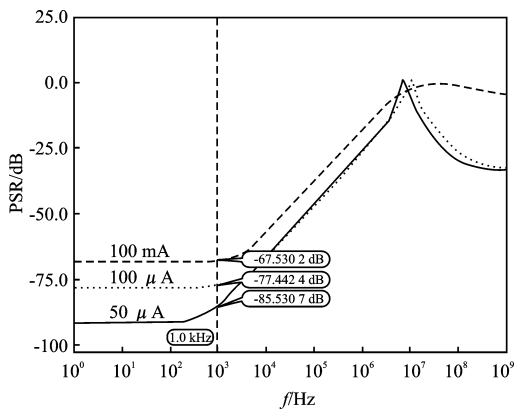


图 6 本文 LDO 的 PSR 仿真

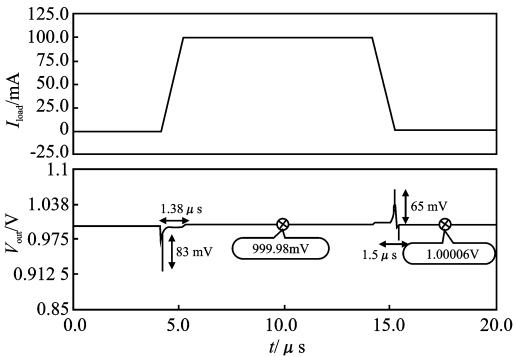


图 7 LDO 负载瞬态响应

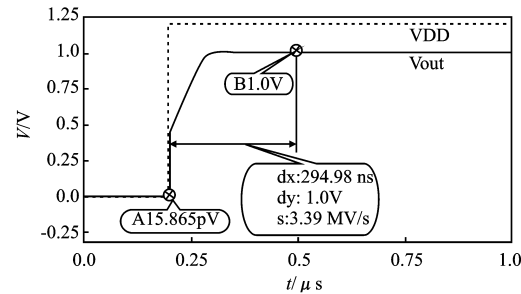


图 8 LDO 线性瞬态响应

表 1 是本文设计的 LDO 与已发表的相关期刊文献[4-6]的性能比较,结果显示,本文设计的无片外电容型 LDO 在负载能力、瞬态响应、电源抑制、静态功耗等方面均具有一定优势,综合性能良好。

4 结束语

本文基于 SMIC 0.13 μm CMOS 工艺设计了一款可应用于高性能电源模块的无片外电容型 LDO。在 1.2~2.0 V 的输入电压下,可提供 50 μA ~100 mA 的负载电流,负载电容可达 100 pF,且只需 5 pF 的片上电容。仿真结果表明,本文设计的无片外

电容型 LDO 符合高性能要求。

表 1 LDO 性能总结与对比

参数	文献[4]	文献[5]	文献[6]	本文
	2012	2012	2014	
工艺/ μm	0.13	0.35	0.18	0.13
输入/输出电压/V	1.2/1	1.2/1	1.8/1.6	1.2/1
跌落压差/mV	200	200	200	200
最大输出电流/mA	50	100	50	100
最大静态电流/ μA	37	380.1	80	50
片上电容/pF	41	10	28	5
PSR/dB@1kHz	-40	-49.8	-70	-67.5
响应时间/ μs	0.4	—	<6	1.5
负载调整率/($\mu\text{V} \cdot \text{mA}^{-1}$)	—	78.2	140	0.64
面积/ mm^2	0.018	0.098 7	0.14	0.016 3
最大负载电容/pF	20	100	100	100

参考文献:

[1] Millken R J, Silva-Martinez J, Sanchez-Sinencio E. Full on-chip CMOS low-dropout voltage regulator[J]. IEEE Transactions on Circuit and Systems I; Regular Paper, 2007,54(9),1879-1890.

[2] Man T Y, Mok P K T, Chan M. A high slew-rate push-pull output amplifier for low-quiescent current low-dropout regulators with transient response improvement[J]. IEEE Trans. Circuits Syst. II, 2007, 54(9): 755-759.

[3] Razavi B. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,译. 西安:西安交通大学出版社,2002.

[4] Ho E N Y, Mok P K T. Wide-loading-range fully integrated LDO with a power-supply ripple injection filter [J]. IEEE Trans. Circuits Syst. II, 2012, 59(6): 356-360.

[5] ZHAN C, KI W H. An output-capacitor-free adaptively viased low-dropout regulator with sub-threshold undershoot-reduction for SoC[J]. IEEE Trans. Circuits Syst. I; Regu Pap, 2012, 59(5): 1119-1131.

[6] Park C J, Onabajo M, Silva-Martinez J. External capacitor-less low drop-out regulator with 25 dB superior power supply rejection in the 0.4-4 MHz range[J]. IEEE J. Solid-State Circuits, 2014, 49(2): 486-501.

作者简介:

程立男, (1991-), 硕士研究生, 研究方向为模拟集成电路设计。

黄鲁(通讯作者) 男, (1961-), 副教授, 硕士生导师, 研究方向为数模混合信号 IC 设计。

E-mail: luhuang@ustc.edu.cn.